

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-075995

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 21/3205
H01L 21/768

(21)Application number : 2000-253802

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.08.2000

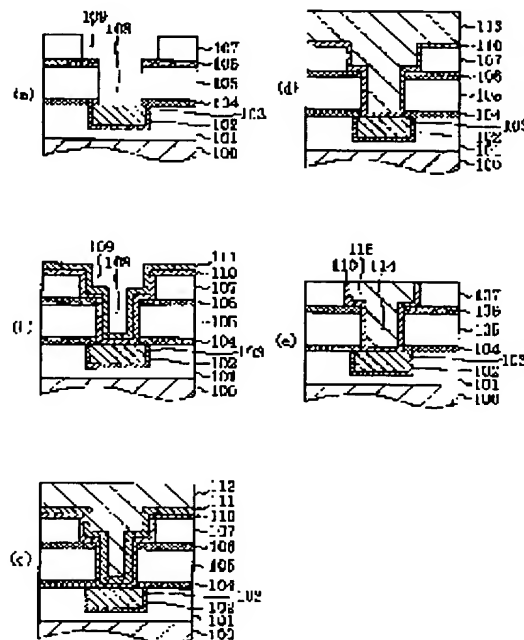
(72)Inventor : SEKIGUCHI MITSURU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To form a conductive film on a seed layer in recesses by electroplating while avoiding causing filling failures.

SOLUTION: After forming vias 108 and wiring trenches 109 in an insulation film on a semiconductor substrate 100, an aluminum-containing copper alloy seed layer 111 is deposited to the bottoms and the walls of the vias 108 and the trenches 109. By electroplating, a copper plating film 112 is grown on the seed layer 111 to perfectly fill up the vias 108 and the trenches 109. The seed layer 111 and the plating film 112 are integrated to form a wiring copper film 113, thereby forming vias 114 and second wirings 115 from the copper film 113.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-75995

(P2002-75995A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int.Cl.⁷

識別記号

F I

ターミナル(参考)

H 0 1 L 21/3205

H 0 1 L 21/88

R 5 F 0 3 3

21/768

21/90

A

審査請求 未請求 請求項の数11 O L (全 24 頁)

(21)出願番号 特願2000-253802(P2000-253802)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日 平成12年8月24日(2000.8.24)

(72)発明者 関口 満

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外7名)

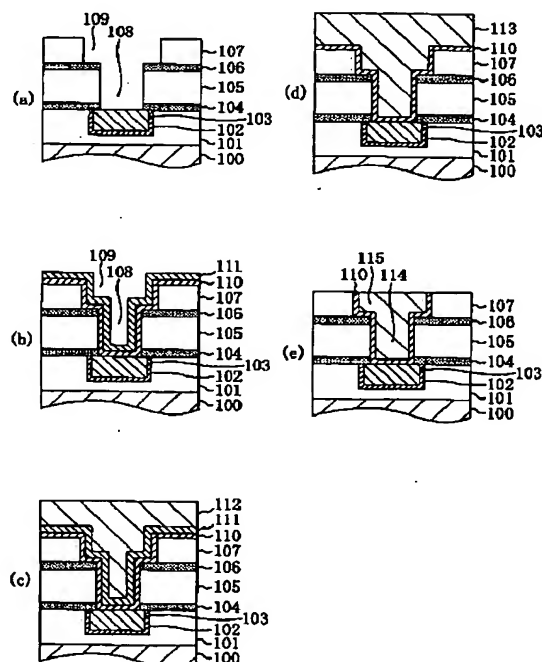
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 埋め込み不良の発生を防止しつつ、電解メッキ法により凹部におけるシード層の上に導電膜を形成できるようにする。

【解決手段】 半導体基板100上の絶縁膜にビアホール108及び配線用溝109を形成した後、ビアホール108及び配線用溝109のそれぞれの底部及び壁面に、A1を含有する銅合金シード層111を堆積する。電解メッキ法により銅合金シード層111上に銅メッキ膜112を、ビアホール108及び配線用溝109のそれぞれが完全に埋まるように成長させる。銅合金シード層111と銅メッキ膜112とを一体化して配線用銅合金膜113を形成することにより、配線用銅合金膜113からなるビア114及び第2の配線115を形成する。



【特許請求の範囲】

【請求項1】 基板上に形成された絶縁膜と、前記絶縁膜中に形成された埋め込み配線とを備えており、前記埋め込み配線は、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有する銅合金からなり、前記埋め込み配線における前記元素の含有量は、前記絶縁膜に近くなるに従って増大することを特徴とする半導体装置。

【請求項2】 基板上に形成された絶縁膜と、前記絶縁膜上に形成された配線とを備えており、前記配線は、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有する銅合金からなり、前記配線における前記元素の含有量は、前記絶縁膜に近くなるに従って増大することを特徴とする半導体装置。

【請求項3】 基板上的絶縁膜に凹部を形成する工程と、前記凹部の底部及び壁面に、耐酸化性を有する第1の銅合金からなる第1の導電膜を堆積する工程と、電解メッキ法により前記第1の導電膜上に前記凹部が完全に埋まるように銅又は第2の銅合金からなる第2の導電膜を成長させる工程と、前記第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成することにより、前記第3の導電膜からなる埋め込み配線を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項4】 前記第1の導電膜を堆積する工程は、前記第1の導電膜を前記凹部の底部に対して(111)面に配向させる工程を含むことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 基板上的絶縁膜の上に、耐酸化性を有する第1の銅合金からなる第1の導電膜を堆積する工程と、電解メッキ法により前記第1の導電膜上に銅又は第2の銅合金からなる第2の導電膜を成長させる工程と、前記第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成する工程と、配線形成領域を覆うマスクパターンを用いて、前記第3の導電膜に対してエッチングを行なうことにより、前記第3の導電膜からなる配線を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項6】 前記第1の導電膜を堆積する工程は、前記第1の導電膜を前記絶縁膜の上面に対して(111)面に配向させる工程を含むことを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 基板上的絶縁膜に凹部を形成する工程と、前記凹部の底部及び壁面に、耐酸化性を有する第1の銅合金からなる第1の導電膜を堆積する工程と、前記第1の導電膜上に前記凹部が完全に埋まるように銅

又は第2の銅合金からなる第2の導電膜を形成する工程と、前記第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成することにより、前記第3の導電膜からなる埋め込み配線を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項8】 基板上的絶縁膜の上に、耐酸化性を有する第1の銅合金からなる第1の導電膜を堆積する工程と、

10 前記第1の導電膜上に銅又は第2の銅合金からなる第2の導電膜を形成する工程と、前記第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成する工程と、配線形成領域を覆うマスクパターンを用いて、前記第3の導電膜に対してエッチングを行なうことにより、前記第3の導電膜からなる配線を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項9】 前記第2の導電膜を形成する工程は、スパッタ法により前記第2の導電膜を堆積した後、前記第2の導電膜を熱処理により流動させる工程を含むことを特徴とする請求項7又は8に記載の半導体装置の製造方法。

【請求項10】 前記第2の導電膜を形成する工程は、CVD法により前記第2の導電膜を堆積する工程を含むことを特徴とする請求項7又は8に記載の半導体装置の製造方法。

【請求項11】 前記第1の銅合金は、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有することを特徴とする請求項3、5、7又は8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、銅配線を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】0.18 μ m世代以降のシリコンLSIにおいては、トランジスタの高速化に対して配線のCR成分による遅延が無視できなくなったため、従来のAl(比抵抗3 $\mu\Omega\cdot\text{cm}$)に代えて、より低抵抗なCu(比抵抗1.7 $\mu\Omega\cdot\text{cm}$)又はCuを主成分とする金属(以下、銅合金と称する)を配線材料に用いる検討が進んでいる。尚、本明細書においては、銅又は銅合金からなる配線を銅配線と称する。

【0003】以下、従来の半導体装置の製造方法について、バリアメタル膜としてTaN膜を用いる銅配線製造技術を例として、図7(a)～(e)を参照しながら説明する。

【0004】まず、図7(a)に示すように、半導体基板10上の第1の絶縁膜11中にTaN膜からなる第1のバリアメタル膜12を介して銅膜からなる第1の配線

13を埋め込む。その後、半導体基板10の上に第1のシリコン窒化膜14、第2の絶縁膜15、第2のシリコン窒化膜16、及び第3の絶縁膜17を順次堆積した後、第1のシリコン窒化膜14、第2の絶縁膜15及び第2のシリコン窒化膜16に、第1の配線13に達するビアホール18を形成すると共に、第3の絶縁膜17に、ビアホール18を介して第1の配線13に達する配線用溝19を形成する。このとき、第1のバリアメタル膜12又は第1のシリコン窒化膜14は、第2の絶縁膜15又は第2のシリコン窒化膜16等を堆積するときの400℃程度の熱処理により、第1の配線13を構成する銅原子が第1の絶縁膜11又は第2の絶縁膜15等の内部に拡散する事態を防止する。すなわち、第1のバリアメタル膜12又は第1のシリコン窒化膜14は、銅原子の拡散に対するバリア性を有している。

【0005】次に、図7(b)に示すように、ビアホール18及び配線用溝19のそれぞれの底部及び壁面に、Ta₂N膜からなる第2のバリアメタル膜20、及び銅膜からなる銅シード層21をスパッタ法により順次堆積する。

【0006】次に、半導体基板10をスパッタ装置から取り出してメッキ装置に搬入する。このとき、半導体基板10の表面つまり銅シード層21の表面が空気にさらされる。その後、図7(c)に示すように、電解メッキ法を用いて銅シード層21の上に銅メッキ膜22を、ビアホール18及び配線用溝19のそれぞれが完全に埋まるように成長させる。

【0007】次に、銅メッキ膜22の結晶粒を成長させるために銅メッキ膜22に対して熱処理(例えば100℃程度の温度下で2時間程度)を行なう。これにより、図7(d)に示すように、銅シード層21と銅メッキ膜22とが一体化して配線用銅膜23が形成される。

【0008】次に、図7(e)に示すように、配線用溝19の外側の第2のバリアメタル膜20及び配線用銅膜23を除去して、配線用銅膜23からなるビア24及び第2の配線25を形成する。これにより、ビア24を介して第1の配線13と第2の配線25とが接続される。

【0009】その後、図示は省略しているが、必要に応じて、図7(a)～(e)に示す工程(但し、図7(a)に示す工程については第1のシリコン窒化膜14を堆積する工程以降)を繰り返すことにより、所望の多層配線構造を形成する。

【0010】

【発明が解決しようとする課題】しかしながら、従来の半導体装置の製造方法においては、スパッタ法を用いて銅シード層21を堆積するときに、スパッタ法の指向性に起因して、図8(a)に示すように、銅シード層21におけるビアホール18の壁面上の部分が薄膜化する場合がある。また、前述のように、銅シード層21の堆積後に半導体基板10をスパッタ装置から取り出してメッ

キ装置に搬入するときに、銅シード層21の表面は空気にさらされる。このため、図8(b)に示すように、銅シード層21の表面部に酸化銅層21aが形成されると共に銅シード層21の薄膜化部分はその全体が酸化銅層21aとなる。酸化銅層21aは、銅メッキ膜22を形成するためにCu₂SO₄、及びH₂SO₄等を含むメッキ液に半導体基板10を浸漬したとき、図8(c)に示すように溶解してしまう可能性がある。また、酸化銅層21aの導電性は悪い。その結果、銅シード層21の薄膜化部分における導電性が損なわれて銅メッキ膜22を十分に成長させることができないので、図8(d)に示すように、ビアホール18等においてボイド等の埋め込み不良が発生してしまう。

【0011】ところで、基板上の絶縁膜に形成された凹部に銅膜を埋め込むときに、電解メッキ法に代えて、例えばスパッタ+リフロー法又はCVD(chemical vapor deposition)法等を用いることができる。

【0012】電解メッキ法に代えてスパッタ+リフロー法を用いる場合、スパッタ法により堆積される銅膜(以下、銅スパッタ膜と称する)のリフロー性を向上させるために、予めウェットティング層としてカバレッジのよい薄い銅膜(以下、銅ウェットティング層と称する)を堆積しておくことが好ましい。しかし、銅ウェットティング層が酸化してしまうと、銅ウェットティング層の表面における酸化のバラツキに起因して銅スパッタ膜のリフロー性が低下すると共に、リフロー後の銅スパッタ膜とバリアメタル膜との密着性が低下し、それによって埋め込み配線の信頼性が低下するという問題が生じる。

【0013】また、電解メッキ法に代えてCVD法を用いる場合、CVD法により堆積される銅膜(以下、銅CVD膜と称する)とバリアメタル膜との密着性を向上させるために、予め密着層としてカバレッジのよい薄い銅膜(以下、銅密着層と称する)を堆積しておくことが好ましい。しかし、銅密着層が酸化してしまうと、銅CVD膜とバリアメタル膜との密着性が低下すると共に銅CVD膜の成膜が不均一になり、それによって埋め込み配線の信頼性が低下するという問題が生じる。

【0014】さらに、銅シード層、銅ウェットティング層又は銅密着層等の酸化に起因して配線の信頼性が低下するという問題は、電解メッキ法、スパッタ+リフロー法又はCVD法等により絶縁膜(凹部が形成されていてもよい)上に銅膜を形成した後に銅膜をパターニングして配線を形成する場合にも生じる。

【0015】前記に鑑み、本発明は、埋め込み不良の発生を防止しつつ、電解メッキ法により凹部におけるシード層の上に導電膜を形成できるようにすることを第1の目的とし、シード層、ウェットティング層又は密着層等に含まれるCuの酸化に起因して配線の信頼性が低下しないようにすることを第2の目的とする。

【0016】

【課題を解決するための手段】前記の第1又は第2の目的を達成するために、本発明者らは、シード層等に含まれるCuの酸化を防止する方法を検討した結果、シード層等の材料として、Al、Si、Ir又はRu等を含有する銅合金（以下、耐酸化性銅合金と称する）を用いることにより、シード層等に含まれるCuの酸化を防止できることを見出した。具体的には、耐酸化性銅合金が空気にさらされると、その表面に薄いAl、Si、Ir又はRuの酸化物層が形成される（P.J. Ding 他、APL 64, p. 2897, 1994）ため、耐酸化性銅合金における酸化物層の内側のCuが酸化されることを防止できる。このとき、耐酸化性銅合金の表面に形成される酸化物層は非常に薄いため、耐酸化性銅合金の導電性の低下は小さい。特に、Ir又はRuの酸化物層は導電性を有するため、耐酸化性銅合金の導電性にはほとんど影響を及ぼさない。

【0017】本発明は、前記の知見に基づきなされたものであって、具体的には、前記の第1又は第2の目的を達成するために、本発明に係る第1の半導体装置は、基板上に形成された絶縁膜と、絶縁膜中に形成された埋め込み配線とを備えており、埋め込み配線は、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有する銅合金からなり、埋め込み配線における元素の含有量は、絶縁膜に近くなるに従って増大する。

【0018】第1の半導体装置によると、埋め込み配線は、基板上の絶縁膜に形成された凹部の底部及び壁面に、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有する第1の銅合金からなる第1の導電膜を堆積した後、第1の導電膜上に凹部が完全に埋まるように銅又は第2の銅合金からなる第2の導電膜を形成し、その後、第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成することにより得られる。すなわち、第1の導電膜の材料として、Al、Si、Ir又はRuを含有する第1の銅合金、つまり耐酸化性銅合金を用いている。このため、例えば第1の導電膜をシード層として電解メッキ法により第2の導電膜を形成する場合に、シード層に含まれるCuの酸化を防止できるので、シード層がメッキ液に溶解することがないと共にシード層の導電性が低下することがない。従って、シード層が凹部の壁面等で薄膜化した場合にも、埋め込み不良の発生を防止しつつ、電解メッキ法により凹部におけるシード層の上に第2の導電膜を形成することができる。また、例えば第1の導電膜をウェットイング層又は密着層等としてスパッタリフロー法又はCVD法等により第2の導電膜を形成する場合に、ウェットイング層又は密着層等に含まれるCuの酸化を防止できるので、該Cuの酸化に起因して埋め込み配線の信頼性が低下する事態を防止できる。

【0019】また、第1の半導体装置によると、埋め込み配線が、純銅よりも機械的に変形しにくい耐酸化性銅合金により構成されているため、埋め込み配線のエレ

クトマイグレーション耐性又はストレスマイグレーション耐性が向上する。

【0020】前記の第2の目的を達成するために、本発明に係る第2の半導体装置は、基板上に形成された絶縁膜と、絶縁膜上に形成された配線とを備えており、配線は、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有する銅合金からなり、配線における元素の含有量は、絶縁膜に近くなるに従って増大する。

【0021】第2の半導体装置によると、配線は、基板上の絶縁膜の上に、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有する第1の銅合金からなる第1の導電膜を堆積した後、第1の導電膜上に銅又は第2の銅合金からなる第2の導電膜を形成すると共に第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成し、その後、配線形成領域を覆うマスクパターンを用いて第3の導電膜に対してエッチングを行なうことにより得られる。すなわち、第1の導電膜の材料として、Al、Si、Ir又はRuを含有する第1の銅合金、つまり耐酸化性銅合金を用いている。このため、例えば第1の導電膜をシード層として電解メッキ法により第2の導電膜を形成する場合に、シード層に含まれるCuの酸化を防止できるので、該Cuの酸化に起因して配線の信頼性が低下する事態を防止できる。また、例えば第1の導電膜をウェットイング層又は密着層等としてスパッタリフロー法又はCVD法等により第2の導電膜を形成する場合にも、ウェットイング層又は密着層等に含まれるCuの酸化を防止できるので、該Cuの酸化に起因して配線の信頼性が低下する事態を防止できる。

【0022】また、第2の半導体装置によると、配線が、純銅よりも機械的に変形しにくい耐酸化性銅合金により構成されているため、配線のエレクトロマイグレーション耐性又はストレスマイグレーション耐性が向上する。

【0023】前記の第1の目的を達成するために、本発明に係る第1の半導体装置の製造方法は、基板上の絶縁膜に凹部を形成する工程と、凹部の底部及び壁面に、耐酸化性を有する第1の銅合金からなる第1の導電膜を堆積する工程と、電解メッキ法により第1の導電膜上に凹部が完全に埋まるように銅又は第2の銅合金からなる第2の導電膜を成長させる工程と、第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成することにより、第3の導電膜からなる埋め込み配線を形成する工程とを備えている。

【0024】第1の半導体装置の製造方法によると、基板上の絶縁膜に形成された凹部の底部及び壁面に、耐酸化性を有する第1の銅合金からなる第1の導電膜を堆積した後、電解メッキ法により第1の導電膜上に凹部が完全に埋まるように第2の導電膜を成長させ、その後、第1の導電膜と第2の導電膜とが一体化した第3の導電膜からなる埋め込み配線を形成する。すなわち、第1の導

電膜つまりシード層の材料として、耐酸化性を有する第1の銅合金を用いているため、シード層に含まれるCuの酸化を防止できる。その結果、シード層がメッキ液に溶解することがないと共にシード層の導電性が低下することがないので、シード層が凹部の壁面等で薄膜化した場合にも、埋め込み不良の発生を防止しつつ、電解メッキ法により凹部におけるシード層の上に第2の導電膜を形成することができる。

【0025】第1の半導体装置の製造方法において、第1の導電膜を堆積する工程は、第1の導電膜を凹部の底部に対して(111)面に配向させる工程を含むことが好ましい。

【0026】このようにすると、第1の導電膜つまりシード層の上に形成される第2の導電膜も、凹部の底部に対して(111)面に配向しやすくなるので、第1の導電膜と第2の導電膜とが一体化した第3の導電膜からなる埋め込み配線のエレクトロマイグレーション耐性が向上する。

【0027】前記の第2の目的を達成するために、本発明に係る第2の半導体装置の製造方法は、基板上の絶縁膜の上に、耐酸化性を有する第1の銅合金からなる第1の導電膜を堆積する工程と、電解メッキ法により第1の導電膜上に銅又は第2の銅合金からなる第2の導電膜を成長させる工程と、第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成する工程と、配線形成領域を覆うマスクパターンを用いて、第3の導電膜に対してエッチングを行なうことにより、第3の導電膜からなる配線を形成する工程とを備えている。

【0028】第2の半導体装置の製造方法によると、基板上の絶縁膜の上に、耐酸化性を有する第1の銅合金からなる第1の導電膜を堆積した後、電解メッキ法により第1の導電膜上に第2の導電膜を成長させ、その後、第1の導電膜と第2の導電膜とが一体化した第3の導電膜に対してエッチングを行なって配線を形成する。すなわち、第1の導電膜つまりシード層の材料として耐酸化性を有する銅合金を用いているため、シード層に含まれるCuの酸化を防止できるので、該Cuの酸化に起因して配線の信頼性が低下する事態を防止できる。

【0029】第2の半導体装置の製造方法において、第1の導電膜を堆積する工程は、第1の導電膜を絶縁膜の上面に対して(111)面に配向させる工程を含むことが好ましい。

【0030】このようにすると、第1の導電膜つまりシード層の上に形成される第2の導電膜も、絶縁膜の上面に対して(111)面に配向しやすくなるので、第1の導電膜と第2の導電膜とが一体化した第3の導電膜からなる配線のエレクトロマイグレーション耐性が向上する。

【0031】前記の第2の目的を達成するために、本発明に係る第3の半導体装置の製造方法は、基板上の絶縁

膜に凹部を形成する工程と、凹部の底部及び壁面に、耐酸化性を有する第1の銅合金からなる第1の導電膜を堆積する工程と、第1の導電膜上に凹部が完全に埋まるように銅又は第2の銅合金からなる第2の導電膜を形成する工程と、第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成することにより、第3の導電膜からなる埋め込み配線を形成する工程とを備えている。

【0032】第3の半導体装置の製造方法によると、基板上の絶縁膜に形成された凹部の底部及び壁面に、耐酸化性を有する第1の銅合金からなる第1の導電膜を堆積した後、第1の導電膜上に凹部が完全に埋まるように第2の導電膜を形成し、その後、第1の導電膜と第2の導電膜とが一体化した第3の導電膜からなる埋め込み配線を形成する。すなわち、第1の導電膜の材料として耐酸化性を有する第1の銅合金を用いている。このため、例えば第1の導電膜をウェットティング層又は密着層等としてスパッタリフロー法又はCVD法等により第2の導電膜を形成する場合に、ウェットティング層又は密着層等に含まれるCuの酸化を防止できるので、該Cuの酸化に起因して埋め込み配線の信頼性が低下する事態を防止できる。

【0033】前記の第2の目的を達成するために、本発明に係る第4の半導体装置の製造方法は、基板上の絶縁膜の上に、耐酸化性を有する第1の銅合金からなる第1の導電膜を堆積する工程と、第1の導電膜上に銅又は第2の銅合金からなる第2の導電膜を形成する工程と、第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成する工程と、配線形成領域を覆うマスクパターンを用いて、第3の導電膜に対してエッチングを行なうことにより、第3の導電膜からなる配線を形成する工程とを備えている。

【0034】第4の半導体装置の製造方法によると、基板上の絶縁膜の上に、耐酸化性を有する第1の銅合金からなる第1の導電膜を堆積した後、第1の導電膜上に第2の導電膜を形成し、その後、第1の導電膜と第2の導電膜とが一体化した第3の導電膜に対してエッチングを行なって配線を形成する。すなわち、第1の導電膜の材料として、耐酸化性を有する第1の銅合金を用いている。このため、例えば第1の導電膜をウェットティング層又は密着層等としてスパッタリフロー法又はCVD法等により第2の導電膜を形成する場合に、ウェットティング層又は密着層等に含まれるCuの酸化を防止できるので、該Cuの酸化に起因して配線の信頼性が低下する事態を防止できる。

【0035】第3又は第4の半導体装置の製造方法において、第2の導電膜を形成する工程は、スパッタ法により第2の導電膜を堆積した後、第2の導電膜を熱処理により流動させる工程を含むことが好ましい。

【0036】このようにすると、第2の導電膜を十分に流動させることができるので、配線の信頼性が向上す

る。

【0037】第3又は第4の半導体装置の製造方法において、第2の導電膜を形成する工程は、CVD法により第2の導電膜を堆積する工程を含むことが好ましい。

【0038】このようにすると、第2の導電膜の成膜が均一になるので、配線の信頼性が向上する。

【0039】第1、第2、第3又は第4の半導体装置の製造方法において、第1の銅合金は、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有することが好ましい。

【0040】このようにすると、第1の導電膜に含まれるCuの酸化を確実に防止できる。また、配線となる第3の導電膜が、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有する銅合金、つまり純銅よりも機械的に変形しにくい耐酸化性銅合金により構成されるため、配線のエレクトロマイグレーション耐性又はストレスマイグレーション耐性が向上する。

【0041】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態に係る半導体装置及びその製造方法について、図1(a)～(e)を参照しながら説明する。

【0042】まず、図1(a)に示すように、半導体基板100上の第1の絶縁膜101中に例えばTa₂N膜からなる第1のバリアメタル膜102を介して例えば銅膜からなる第1の配線103を埋め込む。その後、半導体基板100の上に第1のシリコン窒化膜104、第2の絶縁膜105、第2のシリコン窒化膜106、及び第3の絶縁膜107を順次堆積した後、第1のシリコン窒化膜104、第2の絶縁膜105及び第2のシリコン窒化膜106に、第1の配線103に達する深さ約500nmのビアホール108を形成すると共に、第3の絶縁膜107に、ビアホール108を介して第1の配線103に達する深さ約300nmの配線用溝109を形成する。このとき、第1のバリアメタル膜102又は第1のシリコン窒化膜104は、第2の絶縁膜105又は第2のシリコン窒化膜106等を堆積するときの400℃程度の熱処理（例えばプラズマCVD法等）により、第1の配線103を構成する銅原子が第1の絶縁膜101又は第2の絶縁膜105等の内部に拡散する事態を防止する。すなわち、第1のバリアメタル膜102又は第1のシリコン窒化膜104は、銅原子の拡散に対するバリア性を有している。

【0043】次に、図1(b)に示すように、例えばスパッタ法により半導体基板100の上に例えば膜厚25nmのTa₂N膜からなる第2のバリアメタル膜110を堆積する。その後、例えばCu-1質量%Alからなる銅合金のターゲットを用いるスパッタ法により、第2のバリアメタル膜110の上に膜厚150nmの銅合金シード層111を堆積する。これにより、ビアホール108及び配線用溝109のそれぞれの底部及び壁面が第2

のバリアメタル膜110及び銅合金シード層111により覆われる。尚、銅合金シード層111は1質量%程度のAlを含有する。

【0044】次に、半導体基板100をスパッタ装置から取り出してメッキ装置に搬入する。このとき、銅合金シード層111は空気にさらされる一方、銅合金シード層111はその表面に極薄（数nm程度）のAlの酸化物層（Al₂O₃膜）を形成するため、銅合金シード層111に含まれるCuが酸化されることはない。

【0045】その後、図1(c)に示すように、電解メッキ法により銅合金シード層111の上に膜厚350nmの銅メッキ膜112を、ビアホール108及び配線用溝109のそれぞれが完全に埋まるように成長させる。具体的には、半導体基板100をCuSO₄及びH₂SO₄等を含むメッキ液に浸漬した後、半導体基板100が負電位となるように電解メッキ法を実施する。このとき、銅合金シード層111に含まれるCuが酸化されていないため、銅合金シード層111がメッキ液に溶解することがないと共に銅合金シード層111の導電性が低下することがないので、銅メッキ膜112によりビアホール108及び配線用溝109のそれぞれを確実に埋め込むことができる。

【0046】次に、半導体基板100をメッキ装置から取り出した後、銅メッキ膜112の結晶粒を成長させるために銅メッキ膜112に対して例えば100～400℃程度の熱処理を行なう。これにより、銅合金シード層111に含まれるアルミニウム原子が銅メッキ膜112中に拡散する結果、図1(d)に示すように、銅合金シード層111と銅メッキ膜112とが一体化して、0.3質量%程度のアルミニウムを含有する配線用銅合金膜113が形成される。尚、銅メッキ膜112に対して前述の熱処理を行なう代わりに、半導体基板100を室温下で2日間程放置しておいてもよい。或いは、銅メッキ膜112を形成する工程と、配線用溝109の外側の配線用銅合金膜113を除去する工程（図1(e)参照）との間に、温度上昇（100～400℃程度）を伴う他の工程が行なわれる場合には、前述の熱処理を省略してもよい。

【0047】次に、図1(e)に示すように、例えばCMP法等を用いて、配線用溝109の外側の第2のバリアメタル膜110及び配線用銅合金膜113を除去して、配線用銅合金膜113からなるビア114及び第2の配線115を形成する。これにより、ビア114を介して第1の配線103と第2の配線115とが接続される。

【0048】尚、銅合金シード層111と銅メッキ膜112とが一体化して配線用銅合金膜113が形成されるときに、銅合金シード層111に含まれるアルミニウム原子が銅メッキ膜112中に拡散するので、ビア114及び第2の配線115においては、第2のバリアメタル

膜110に近くなるに従って、言い換えると、第1のシリコン窒化膜104、第2の絶縁膜105、第2のシリコン窒化膜106、第3の絶縁膜107又は第1の配線103に近くなるに従ってアルミニウムの含有量が増大する。

【0049】その後、図示は省略しているが、必要に応じて、図1(a)～(e)に示す工程(但し、図1(a)に示す工程については第1のシリコン窒化膜104を堆積する工程以降)を繰り返すことにより、所望の多層配線構造を形成する。

【0050】以上に説明したように、第1の実施形態によると、ビアホール108及び配線用溝109のそれぞれの底部及び壁面に、Alを含有する銅合金からなる銅合金シード層111を堆積した後、電解メッキ法により銅合金シード層111上に銅メッキ膜112をビアホール108及び配線用溝109のそれぞれが完全に埋まるように成長させ、その後、銅合金シード層111と銅メッキ膜112とが一体化した配線用銅合金膜113からなるビア114及び第2の配線115を形成する。すなわち、銅合金シード層111の材料として、Alを含有する銅合金、つまり耐酸化性銅合金を用いているため、銅合金シード層111に含まれるCuの酸化を防止できる。その結果、銅合金シード層111がメッキ液に溶解することがないと共に銅合金シード層111の導電性が低下することがないので、銅合金シード層111がビアホール108の壁面等で薄膜化した場合にも、埋め込み不良の発生を防止しつつ、電解メッキ法によりビアホール108又は配線用溝109における銅合金シード層111の上に銅メッキ膜112を形成することができる。従って、ビアホール108又は配線用溝109に対する銅メッキ膜112の埋め込みマージンが拡大する。

【0051】また、第1の実施形態によると、ビア114及び第2の配線115となる配線用銅合金膜113が、Alを含有する銅合金、つまり純銅よりも機械的に変形しにくい耐酸化性銅合金により構成されるため、ビア114及び第2の配線115のエレクトロマイグレーション耐性又はストレスマイグレーション耐性が向上する。

【0052】尚、第1の実施形態において、銅合金シード層111の材料として、Alを含有する銅合金を用いたが、これに限られず、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有する銅合金を用いることが好ましい。また、Alを含有する銅合金として、Cu-1質量%Alを用いたが、銅合金におけるAlの含有率は特に限定されるものではない。

【0053】また、第1の実施形態において、第1の配線103又は銅メッキ膜112の材料として純銅を用いたが、これに代えて、銅合金を用いてもよい。

【0054】また、第1の実施形態において、第1のバリアメタル膜102又は第2のバリアメタル膜110と

してTa₂N膜を用いたが、これに代えて、Ta膜、Ti膜又はTiN膜等を用いてもよい。

【0055】また、第1の実施形態において、第1の絶縁膜101、第2の絶縁膜105又は第3の絶縁膜107として、SiO₂膜、塗布膜、又はCを含む誘電率の低いCVD膜等を用いてもよい。

【0056】また、第1の実施形態において、ビアホール108と配線用溝109とを同時に導電膜により埋め込むデュアルダマシン法を用いたが、これに代えて、ビアホール108と配線用溝109とを別々に形成すると共に別々に導電膜により埋め込んでもよい。

【0057】(第1の実施形態の変形例)以下、本発明の第1の実施形態の変形例に係る半導体装置の製造方法について説明する。

【0058】第1の実施形態の変形例が第1の実施形態と異なっている点は、銅合金シード層111を堆積する工程(図1(b)参照)において、ビアホール108又は配線用溝109の底部に対して銅合金シード層111を(111)面に配向させることである。このとき、例えば指向性の高いスパッタ法を用いることにより、ビアホール108又は配線用溝109の底部に壁面よりも厚く銅合金シード層111を堆積すると共に、ビアホール108又は配線用溝109の壁面に対しては銅合金シード層111を(111)面に配向させないことが好ましい。

【0059】第1の実施形態の変形例によると、第1の実施形態の効果に加えて、次のような効果が得られる。すなわち、ビアホール108又は配線用溝109の底部に対して銅合金シード層111を(111)面に配向させるため、銅合金シード層111の上に形成される銅メッキ膜112も、ビアホール108又は配線用溝109の底部に対して(111)面に配向しやすくなる。また、一般的に、銅膜又は銅合金膜の(111)配向性が強くなるに従って、銅膜又は銅合金膜のエレクトロマイグレーション耐性が向上する(C.Ryu他, Proc. IRPS., p.201, 1997)。従って、銅合金シード層111と銅メッキ膜112とが一体化した配線用銅合金膜113からなるビア114又は第2の配線115のエレクトロマイグレーション耐性が向上する。

【0060】尚、第1の実施形態の変形例において、銅合金シード層111の堆積後に、例えば熱処理により銅合金シード層111の(111)配向性を向上させておくことが好ましい。このようにすると、銅メッキ膜112の(111)配向性も向上するので、ビア114又は第2の配線115のエレクトロマイグレーション耐性がさらに向上する。

【0061】(第2の実施形態)以下、本発明の第2の実施形態に係る半導体装置及びその製造方法について、図2(a)～(e)を参照しながら説明する。

【0062】まず、第1の実施形態の図1(a)に示す

工程と同じく、図2(a)に示すように、半導体基板200上の第1の絶縁膜201中に例えばTaN膜からなるバリアメタル膜202を介して例えば銅膜からなる第1の配線203を埋め込む。その後、半導体基板200の上に第1のシリコン窒化膜204、第2の絶縁膜205、第2のシリコン窒化膜206、及び第3の絶縁膜207を順次堆積した後、第1のシリコン窒化膜204、第2の絶縁膜205及び第2のシリコン窒化膜206に、第1の配線203に達する深さ約500nmのビアホール208を形成すると共に、第3の絶縁膜207に、ビアホール208を介して第1の配線203に達する深さ約300nmの配線用溝209を形成する。このとき、バリアメタル膜202又は第1のシリコン窒化膜204は、第2の絶縁膜205又は第2のシリコン窒化膜206等を堆積するときの400℃程度の熱処理(例えばプラズマCVD法等)により、第1の配線203を構成する銅原子が第1の絶縁膜201又は第2の絶縁膜205等の内部に拡散する事態を防止する。すなわち、バリアメタル膜202又は第1のシリコン窒化膜204は、銅原子の拡散に対するバリア性を有している。

【0063】次に、例えばCu-1質量%A1からなる銅合金のターゲットを用いるスパッタ法により、図2(b)に示すように、半導体基板200の上に膜厚150nmの銅合金シード層210を堆積する。これにより、ビアホール208及び配線用溝209のそれぞれの底部及び壁面が銅合金シード層210により覆われる。尚、銅合金シード層210は1質量%程度のA1を含有する。

【0064】すなわち、第2の実施形態が第1の実施形態と異なる点は、第1の実施形態においては第2のバリアメタル膜110を堆積した後に銅合金シード層111を堆積したのに対して、第2の実施形態においてはバリアメタル膜を堆積せずに銅合金シード層210を堆積していることである。このとき、銅合金シード層210は、第2の絶縁膜205又は第3の絶縁膜207等との間に、銅原子の拡散に対するバリア性を有するA1の酸化物層(A1₂O₃膜)を形成する。

【0065】次に、半導体基板200をスパッタ装置から取り出してメッキ装置に搬入する。このとき、銅合金シード層210は空気にさらされる一方、銅合金シード層210はその表面に極薄(数nm程度)のA1の酸化物層(A1₂O₃膜)を形成するため、銅合金シード層210に含まれるCuが酸化されることはない。

【0066】その後、図2(c)に示すように、電解メッキ法により銅合金シード層210の上に膜厚350nmの銅メッキ膜211を、ビアホール208及び配線用溝209のそれぞれが完全に埋まるように成長させる。具体的には、半導体基板200をCuSO₄及びH₂SO₄等を含むメッキ液に浸漬した後、半導体基板200が負電位となるように電解メッキ法を実施する。このと

き、銅合金シード層210に含まれるCuが酸化されていないため、銅合金シード層210がメッキ液に溶解することがないと共に銅合金シード層210の導電性が低下することがないので、銅メッキ膜211によりビアホール208及び配線用溝209のそれぞれを確実に埋め込むことができる。

【0067】次に、半導体基板200をメッキ装置から取り出した後、銅メッキ膜211の結晶粒を成長させるために銅メッキ膜211に対して例えば100~400℃程度の熱処理を行なう。これにより、銅合金シード層210に含まれるアルミニウム原子が銅メッキ膜211中に拡散する結果、図2(d)に示すように、銅合金シード層210と銅メッキ膜211とが一体化して、0.3質量%程度のアルミニウムを含有する配線用銅合金膜212が形成される。尚、銅メッキ膜211に対して前述の熱処理を行なう代わりに、半導体基板200を室温下で2日間程放置しておいてもよい。或いは、銅メッキ膜211を形成する工程と、配線用溝209の外側の配線用銅合金膜212を除去する工程(図2(e)参照)との間に、温度上昇(100~400℃程度)を伴う他の工程が行なわれる場合には、前述の熱処理を省略してもよい。

【0068】次に、図2(e)に示すように、例えばCMP法等を用いて、配線用溝209の外側の配線用銅合金膜212を除去して、配線用銅合金膜212からなるビア213及び第2の配線214を形成する。これにより、ビア213を介して第1の配線203と第2の配線214とが接続される。

【0069】尚、銅合金シード層210と銅メッキ膜211とが一体化して配線用銅合金膜212が形成されるときに、銅合金シード層210に含まれるアルミニウム原子が銅メッキ膜211中に拡散するので、ビア213及び第2の配線214においては、第1のシリコン窒化膜204、第2の絶縁膜205、第2のシリコン窒化膜206、第3の絶縁膜207又は第1の配線203に近くなるに従ってアルミニウムの含有量が增大する。

【0070】その後、図示は省略しているが、必要に応じて、図2(a)~(e)に示す工程(但し、図2(a)に示す工程については第1のシリコン窒化膜204を堆積する工程以降)を繰り返すことにより、所望の多層配線構造を形成する。

【0071】以上に説明したように、第2の実施形態によると、ビアホール208及び配線用溝209のそれぞれの底部及び壁面に、A1を含有する銅合金からなる銅合金シード層210を堆積した後、電解メッキ法により銅合金シード層210上に銅メッキ膜211をビアホール208及び配線用溝209のそれぞれが完全に埋まるように成長させ、その後、銅合金シード層210と銅メッキ膜211とが一体化した配線用銅合金膜212からなるビア213及び第2の配線214を形成する。すな

わち、銅合金シード層210の材料として、Alを含有する銅合金、つまり耐酸化性銅合金を用いているため、銅合金シード層210に含まれるCuの酸化を防止できる。その結果、銅合金シード層210がメッキ液に溶解することがないと共に銅合金シード層210の導電性が低下することがないので、銅合金シード層210がビアホール208の壁面等で薄膜化した場合にも、埋め込み不良の発生を防止しつつ、電解メッキ法によりビアホール208又は配線用溝209における銅合金シード層210の上に銅メッキ膜211を形成することができる。従って、ビアホール208又は配線用溝209に対する銅メッキ膜211の埋め込みマージンが拡大する。

【0072】また、第2の実施形態によると、ビア213及び第2の配線214となる配線用銅合金膜212が、Alを含有する銅合金、つまり純銅よりも機械的に変形しにくい耐酸化性銅合金により構成されるため、ビア213及び第2の配線214のエレクトロマイグレーション耐性又はストレスマイグレーション耐性が向上する。

【0073】また、第2の実施形態によると、ビアホール208及び配線用溝209のそれぞれの底部及び壁面に、バリア金属膜を介さず銅合金シード層210を堆積する一方、銅合金シード層210は、ビアホール208及び配線用溝209が形成されている第2の絶縁膜205又は第3の絶縁膜207等との間に、銅原子の拡散に対するバリア性を有するAlの酸化物層(Al₂O₃膜)を形成する。このため、ビア213又は第2の配線214を構成する銅原子の拡散を防止しつつ、ビア213又は第2の配線214を形成するための工程を簡単化することができる。また、ビアホール208及び配線用溝209の全体に、銅合金シード層210と銅メッキ膜211とが一体化した配線用銅合金膜212からなるビア213及び第2の配線214を形成できるので、言い換えると、ビアホール208及び配線用溝209のそれぞれの底部及び壁面に、配線用銅合金膜212よりも高抵抗のバリア金属膜が形成されていないので、ビア213の抵抗及び第2の配線214の抵抗が低減する。

【0074】尚、第2の実施形態において、銅合金シード層210の材料として、Alを含有する銅合金を用いたが、これに限られず、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有する銅合金を用いることが好ましい。また、Alを含有する銅合金として、Cu-1質量%Alを用いたが、銅合金におけるAlの含有率は特に限定されるものではない。

【0075】また、第2の実施形態において、第1の配線203又は銅メッキ膜211の材料として純銅を用いたが、これに代えて、銅合金を用いてもよい。

【0076】また、第2の実施形態において、バリア金属膜202としてTaN膜を用いたが、これに代えて、Ta膜、Ti膜又はTiN膜等を用いてもよい。

【0077】また、第2の実施形態において、第1の絶縁膜201、第2の絶縁膜205又は第3の絶縁膜207として、SiO₂膜、塗布膜、又はCを含む誘電率の低いCVD膜等を用いてもよい。

【0078】また、第2の実施形態において、ビアホール208と配線用溝209とを同時に導電膜により埋め込むデュアルダマシン法を用いたが、これに代えて、ビアホール208と配線用溝209とを別々に形成すると共に別々に導電膜により埋め込んでもよい。

【0079】また、第2の実施形態において、銅合金シード層210を堆積する工程(図2(b)参照)において、ビアホール208又は配線用溝209の底部に対して銅合金シード層210を(111)面に配向させておくことが好ましい。このようにすると、銅合金シード層210の上に形成される銅メッキ膜211も、ビアホール208又は配線用溝209の底部に対して(111)面に配向しやすくなるので、銅合金シード層210と銅メッキ膜211とが一体化した配線用銅合金膜212からなるビア213又は第2の配線214のエレクトロマイグレーション耐性が向上する。

【0080】また、第2の実施形態において、銅合金シード層210の堆積後に、例えば熱処理により銅合金シード層210の(111)配向性を向上させておくことが好ましい。このようにすると、銅メッキ膜211の(111)配向性も向上するので、ビア213又は第2の配線214のエレクトロマイグレーション耐性がさらに向上する。

【0081】また、第2の実施形態において、銅合金シード層210の堆積前に、半導体基板200を窒素プラズマ又はアンモニアプラズマにさらすことによって、第2の絶縁膜205の表面又は第3の絶縁膜207の表面を窒化しておくことが好ましい。このようにすると、第2の絶縁膜205の窒化部分又は第3の絶縁膜207の窒化部分が、銅原子の拡散に対するバリア性を有するため、ビア213又は第2の配線214を構成する銅原子の拡散をより確実に防止できる。

【0082】(第3の実施形態)以下、本発明の第3の実施形態に係る半導体装置及びその製造方法について、図3(a)～(e)を参照しながら説明する。

【0083】まず、第1の実施形態の図1(a)に示す工程と同じく図3(a)に示すように、半導体基板300上の第1の絶縁膜301中に例えばTaN膜からなる第1のバリア金属膜302を介して例えば銅膜からなる第1の配線303を埋め込む。その後、半導体基板300の上に第1のシリコン窒化膜304、第2の絶縁膜305、第2のシリコン窒化膜306、及び第3の絶縁膜307を順次堆積した後、第1のシリコン窒化膜304、第2の絶縁膜305及び第2のシリコン窒化膜306に、第1の配線303に達する深さ約500nmのビアホール308を形成すると共に、第3の絶縁膜307

に、ビアホール308を介して第1の配線303に達する深さ約300nmの配線用溝309を形成する。このとき、第1のバリアメタル膜302又は第1のシリコン窒化膜304は、第2の絶縁膜305又は第2のシリコン窒化膜306等を堆積するときの400℃程度の熱処理（例えばプラズマCVD法等）により、第1の配線303を構成する銅原子が第1の絶縁膜301又は第2の絶縁膜305等の内部に拡散する事態を防止する。すなわち、第1のバリアメタル膜302又は第1のシリコン窒化膜304は、銅原子の拡散に対するバリア性を有している。

【0084】次に、図3（b）に示すように、例えばスパッタ法により半導体基板300の上に例えば膜厚25nmのTa₂N膜からなる第2のバリアメタル膜310を堆積する。その後、例えばCu-1質量%Alからなる銅合金のターゲットを用いるスパッタ法により、第2のバリアメタル膜310の上に膜厚150nmの銅合金ウェットティング層311を堆積する。これにより、ビアホール308及び配線用溝309のそれぞれの底部及び壁面が第2のバリアメタル膜310及び銅合金ウェットティング層311により覆われる。尚、銅合金ウェットティング層311は1質量%程度のAlを含有する。

【0085】その後、例えばスパッタ法により銅合金ウェットティング層311の上に膜厚600nmの銅スパッタ膜312を堆積する。このとき、図3（b）に示すように、スパッタ法の指向性に起因して、銅スパッタ膜312によりビアホール308又は配線用溝309を埋め込むことはできない。

【0086】次に、図3（c）に示すように、例えば酸化還元リフロー法（第42回応用物理学会関係連合講演会予稿集（1995年春季）、p810、Cu配線技術（1）～酸化・還元反応によるCuリフローの低温化～）を用いて、酸化還元性雰囲気中で銅スパッタ膜312に対して酸化及び還元を繰り返し行ない、それにより生じる反応熱によって銅スパッタ膜312を流動させてビアホール308又は配線用溝309を埋め込む。尚、銅スパッタ膜312に対して酸化を行なうときに銅合金ウェットティング層311に対しても酸化が行なわれるが、銅合金ウェットティング層311はその表面に極薄（数nm程度）のAlの酸化物層（Al₂O₃膜）を形成するため、銅合金ウェットティング層311に含まれるCuが酸化されることはない。その結果、銅合金ウェットティング層311上における銅スパッタ膜312のリフロー性が悪化することを防止できる。

【0087】次に、銅スパッタ膜312の結晶粒を成長させるために銅スパッタ膜312に対して例えば100～400℃程度の熱処理を行なう。これにより、銅合金ウェットティング層311に含まれるアルミニウム原子が銅スパッタ膜312中に拡散する結果、図3（d）に示すように、銅合金ウェットティング層311と銅スパッタ

膜312とが一体化して、0.3質量%程度のアルミニウムを含有する配線用銅合金膜313が形成される。

尚、銅スパッタ膜312に対して前述の熱処理を行なう代わりに、半導体基板300を室温下で2日間程放置しておいてもよい。或いは、銅スパッタ膜312を形成する工程と、配線用溝309の外側の配線用銅合金膜313を除去する工程（図3（e）参照）との間に、温度上昇（100～400℃程度）を伴う他の工程が行なわれる場合には、前述の熱処理を省略してもよい。

【0088】次に、図3（e）に示すように、例えばCMP法等を用いて、配線用溝309の外側の第2のバリアメタル膜310及び配線用銅合金膜313を除去して、配線用銅合金膜313からなるビア314及び第2の配線315を形成する。これにより、ビア314を介して第1の配線303と第2の配線315とが接続される。

【0089】尚、銅合金ウェットティング層311と銅スパッタ膜312とが一体化して配線用銅合金膜313が形成されるときに、銅合金ウェットティング層311に含まれるアルミニウム原子が銅スパッタ膜312中に拡散するので、ビア314及び第2の配線315においては、第2のバリアメタル膜310に近くなるに従って、言い換えると、第1のシリコン窒化膜304、第2の絶縁膜305、第2のシリコン窒化膜306、第3の絶縁膜307又は第1の配線303に近くなるに従ってアルミニウムの含有量が増大する。

【0090】その後、図示は省略しているが、必要に応じて、図3（a）～（e）に示す工程（但し、図3（a）に示す工程については第1のシリコン窒化膜304を堆積する工程以降）を繰り返すことにより、所望の多層配線構造を形成する。

【0091】以上に説明したように、第3の実施形態によると、ビアホール308及び配線用溝309のそれぞれの底部及び壁面に、Alを含有する銅合金からなる銅合金ウェットティング層311を堆積した後、スパッタリフロー法により銅合金ウェットティング層311上に銅スパッタ膜312をビアホール308及び配線用溝309のそれぞれが完全に埋まるように形成し、その後、銅合金ウェットティング層311と銅スパッタ膜312とが一体化した配線用銅合金膜313からなるビア314及び第2の配線315を形成する。すなわち、銅合金ウェットティング層311の材料として、Alを含有する銅合金、つまり耐酸化性銅合金を用いているため、銅合金ウェットティング層311に含まれるCuの酸化を防止できるので、該Cuの酸化に起因してビア314及び第2の配線315の信頼性が低下する事態を防止できる。

【0092】また、第3の実施形態によると、ビア314及び第2の配線315となる配線用銅合金膜313が、Alを含有する銅合金、つまり純銅よりも機械的に変形しにくい耐酸化性銅合金により構成されるため、ビ

10

20

30

40

50

ア314及び第2の配線315のエレクトロマイグレーション耐性又はズトレスマイグレーション耐性が向上する。

【0093】尚、第3の実施形態において、銅合金ウェットング層311の材料として、Alを含有する銅合金を用いたが、これに限らず、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有する銅合金を用いることが好ましい。また、Alを含有する銅合金として、Cu-1質量%Alを用いたが、銅合金におけるAlの含有率は特に限定されるものではない。

【0094】また、第3の実施形態において、第1の配線303又は銅スパッタ膜312の材料として純銅を用いたが、これに代えて、銅合金を用いてもよい。

【0095】また、第3の実施形態において、第1のバリアメタル膜302又は第2のバリアメタル膜310としてTa₂N膜を用いたが、これに代えて、Ta膜、Ti膜又はTiN膜等を用いてもよい。

【0096】また、第3の実施形態において、第1の絶縁膜301、第2の絶縁膜305又は第3の絶縁膜307として、SiO₂膜、塗布膜、又はCを含む誘電率の低いCVD膜等を用いてもよい。

【0097】また、第3の実施形態において、ビアホール308と配線用溝309とを同時に導電膜により埋め込むデュアルダマシン法を用いたが、これに代えて、ビアホール308と配線用溝309とを別々に形成すると共に別々に導電膜により埋め込んでもよい。

【0098】また、第3の実施形態において、第2のバリアメタル膜310を堆積した後に銅合金ウェットング層311を堆積したが、これに代えて、第2のバリアメタル膜310を堆積せずに銅合金ウェットング層311を堆積してもよい。この場合、銅合金ウェットング層311の堆積前に、半導体基板300を窒素プラズマ又はアンモニアプラズマにさらすことによって、第2の絶縁膜305の表面又は第3の絶縁膜307の表面を窒化しておくことが好ましい。

【0099】また、第3の実施形態において、銅スパッタ膜312によりビアホール308又は配線用溝309を埋め込むために用いたスパッタ+リフロー法のうちのリフロー法として、酸化還元リフロー法を用いたが、これに代えて、他のリフロー法を用いてもよい。

【0100】(第4の実施形態)以下、本発明の第4の実施形態に係る半導体装置及びその製造方法について、図4(a)～(e)を参照しながら説明する。

【0101】まず、第1の実施形態の図1(a)に示す工程と同じく図4(a)に示すように、半導体基板400上の第1の絶縁膜401中に例えばTa₂N膜からなる第1のバリアメタル膜402を介して例えば銅膜からなる第1の配線403を埋め込む。その後、半導体基板400の上に第1のシリコン窒化膜404、第2の絶縁膜405、第2のシリコン窒化膜406、及び第3の絶縁

膜407を順次堆積した後、第1のシリコン窒化膜404、第2の絶縁膜405及び第2のシリコン窒化膜406に、第1の配線403に達する深さ約500nmのビアホール408を形成すると共に、第3の絶縁膜407に、ビアホール408を介して第1の配線403に達する深さ約300nmの配線用溝409を形成する。このとき、第1のバリアメタル膜402又は第1のシリコン窒化膜404は、第2の絶縁膜405又は第2のシリコン窒化膜406等を堆積するときの400℃程度の熱処理(例えばプラズマCVD法等)により、第1の配線403を構成する銅原子が第1の絶縁膜401又は第2の絶縁膜405等の内部に拡散する事態を防止する。すなわち、第1のバリアメタル膜402又は第1のシリコン窒化膜404は、銅原子の拡散に対するバリア性を有している。

【0102】次に、図4(b)に示すように、例えばスパッタ法により半導体基板400の上に例えば膜厚25nmのTa₂N膜からなる第2のバリアメタル膜410を堆積する。その後、例えばCu-1質量%Alからなる銅合金のターゲットを用いるスパッタ法により、第2のバリアメタル膜410の上に膜厚150nmの銅合金密着層411を堆積する。これにより、ビアホール408及び配線用溝409のそれぞれの底部及び壁面が第2のバリアメタル膜410及び銅合金密着層411により覆われる。尚、銅合金密着層411は1質量%程度のAlを含有する。

【0103】次に、半導体基板400をスパッタ装置から取り出してCVD装置に搬入する。このとき、銅合金密着層411は空気にさらされる一方、銅合金密着層411はその表面に極薄(数nm程度)のAlの酸化物層(Al₂O₃膜)を形成するため、銅合金密着層411に含まれるCuが酸化されることはない。

【0104】その後、図4(c)に示すように、CVD法により銅合金密着層411の上に膜厚350nmの銅CVD膜412を、ビアホール408及び配線用溝409のそれぞれが完全に埋まるように成長させる。このとき、銅合金密着層411に含まれるCuが酸化されていないため、第2のバリアメタル膜410と銅CVD膜412との密着性が低下することがないと共に、銅CVD膜412の成膜が不均一になることがない。

【0105】次に、銅CVD膜412の結晶粒を成長させるために銅CVD膜412に対して例えば100～400℃程度の熱処理を行なう。これにより、銅合金密着層411に含まれるアルミニウム原子が銅CVD膜412中に拡散する結果、図4(d)に示すように、銅合金密着層411と銅CVD膜412とが一体化して、0.3質量%程度のアルミニウムを含有する配線用銅合金膜413が形成される。尚、銅CVD膜412に対して前述の熱処理を行なう代わりに、半導体基板400を室温下で2日間程放置しておいてもよい。或いは、銅CVD

10

20

30

40

50

膜412を形成する工程と、配線用溝409の外側の配線用銅合金膜413を除去する工程(図4(e)参照)との間に、温度上昇(100~400℃程度)を伴う他の工程が行なわれる場合には、前述の熱処理を省略してもよい。

【0106】次に、図4(e)に示すように、例えばCMP法等を用いて、配線用溝409の外側の第2のバリアメタル膜410及び配線用銅合金膜413を除去して、配線用銅合金膜413からなるビア414及び第2の配線415を形成する。これにより、ビア414を介して第1の配線403と第2の配線415とが接続される。

【0107】尚、銅合金密着層411と銅CVD膜412とが一体化して配線用銅合金膜413が形成されるときに、銅合金密着層411に含まれるアルミニウム原子が銅CVD膜412中に拡散するので、ビア414及び第2の配線415においては、第2のバリアメタル膜410に近くなるに従って、言い換えると、第1のシリコン窒化膜404、第2の絶縁膜405、第2のシリコン窒化膜406、第3の絶縁膜407又は第1の配線403に近くなるに従ってアルミニウムの含有量が増大する。

【0108】その後、図示は省略しているが、必要に応じて、図4(a)~(e)に示す工程(但し、図4(a)に示す工程については第1のシリコン窒化膜404を堆積する工程以降)を繰り返すことにより、所望の多層配線構造を形成する。

【0109】以上に説明したように、第4の実施形態によると、ビアホール408及び配線用溝409のそれぞれの底部及び壁面に、Alを含有する銅合金からなる銅合金密着層411を堆積した後、CVD法により銅合金密着層411上に銅CVD膜412をビアホール408及び配線用溝409のそれぞれが完全に埋まるように形成し、その後、銅合金密着層411と銅CVD膜412とが一体化した配線用銅合金膜413からなるビア414及び第2の配線415を形成する。すなわち、銅合金密着層411の材料として、Alを含有する銅合金、つまり耐酸化性銅合金を用いているため、銅合金密着層411に含まれるCuの酸化を防止できるので、該Cuの酸化に起因してビア414及び第2の配線415の信頼性が低下する事態を防止できる。

【0110】また、第4の実施形態によると、ビア414及び第2の配線415となる配線用銅合金膜413が、Alを含有する銅合金、つまり純銅よりも機械的に変形しにくい耐酸化性銅合金により構成されるため、ビア414及び第2の配線415のエレクトロマイグレーション耐性又はストレスマイグレーション耐性が向上する。

【0111】尚、第4の実施形態において、銅合金密着層411の材料として、Alを含有する銅合金を用いた

が、これに限られず、Al、Si、Ir及びRuのうちの少なくとも1つの元素を含有する銅合金を用いることが好ましい。また、Alを含有する銅合金として、Cu-1質量%Alを用いたが、銅合金におけるAlの含有率は特に限定されるものではない。

【0112】また、第4の実施形態において、第1の配線403又は銅CVD膜412の材料として純銅を用いたが、これに代えて、銅合金を用いてもよい。

【0113】また、第4の実施形態において、第1のバリアメタル膜402又は第2のバリアメタル膜410としてTa₂N膜を用いたが、これに代えて、Ta膜、Ti膜又はTiN膜等を用いてもよい。

【0114】また、第4の実施形態において、第1の絶縁膜401、第2の絶縁膜405又は第3の絶縁膜407として、SiO₂膜、塗布膜、又はCを含む誘電率の低いCVD膜等を用いてもよい。

【0115】また、第4の実施形態において、ビアホール408と配線用溝409とを同時に導電膜により埋め込むデュアルダマシン法を用いたが、これに代えて、ビアホール408と配線用溝409とを別々に形成すると共に別々に導電膜により埋め込んでもよい。

【0116】また、第4の実施形態において、第2のバリアメタル膜410を堆積した後に銅合金密着層411を堆積したが、これに代えて、第2のバリアメタル膜410を堆積せずに銅合金密着層411を堆積してもよい。この場合、銅合金密着層411の堆積前に、半導体基板400を窒素プラズマ又はアンモニアプラズマにさらすことによって、第2の絶縁膜405の表面又は第3の絶縁膜407の表面を窒化しておくことが好ましい。

【0117】また、第4の実施形態において、銅CVD膜412によりビアホール408及び配線用溝409のそれぞれを埋め込んだが、これに代えて、銅CVD膜412によりビアホール408を埋め込んだ後、例えば電解メッキ法により銅CVD膜412上に銅メッキ膜を成長させて配線用溝409を埋め込んでもよい。

【0118】(第5の実施形態)以下、本発明の第5の実施形態に係る半導体装置及びその製造方法について、図5(a)~(e)及び図6(a)~(d)を参照しながら説明する。

【0119】まず、図5(a)に示すように、例えばスパッタ法により、半導体基板500上の第1の絶縁膜501の上に膜厚10nmの例えばTa₂N膜からなる第1のバリアメタル膜502を堆積する。その後、例えばCu-1質量%Alからなる銅合金のターゲットを用いるスパッタ法により、第1のバリアメタル膜502の上に膜厚100nmの銅合金シード層503を堆積する。尚、銅合金シード層503は1質量%程度のAlを含有する。

【0120】次に、半導体基板500をスパッタ装置から取り出してメッキ装置に搬入する。このとき、銅合金

シード層503は空気にさらされる一方、銅合金シード層503はその表面に極薄(数nm程度)のAlの酸化物層(Al₂O₃膜)を形成するため、銅合金シード層503に含まれるCuが酸化されることはない。その後、図5(a)に示すように、電解メッキ法により銅合金シード層503の上に膜厚500nmの銅メッキ膜504を成長させる。具体的には、半導体基板500をCuSO₄及びH₂SO₄等を含むメッキ液に浸漬した後、半導体基板500が負電位となるように電解メッキ法を実施する。尚、図示は省略しているが、第1の絶縁膜501にコンタクトホール又はビアホール等の凹部が形成されている場合には、該凹部を、第1のバリアメタル膜502及び銅合金シード層503を介して銅メッキ膜504により埋め込む。

【0121】次に、半導体基板500をメッキ装置から取り出した後、銅メッキ膜504の結晶粒を成長させるために銅メッキ膜504に対して例えば100~400℃程度の熱処理を行なう。これにより、銅合金シード層503に含まれるアルミニウム原子が銅メッキ膜504中に拡散する結果、図5(b)に示すように、銅合金シード層503と銅メッキ膜504とが一体化して第1の配線用銅合金膜505が形成される。尚、銅メッキ膜504に対して前述の熱処理を行なう代わりに、半導体基板500を室温下で2日間程放置しておいてもよい。或いは、銅メッキ膜504を形成する工程と、第1の配線用銅合金膜505に対してエッチングを行なう工程(図5(c)参照)との間に、温度上昇(100~400℃程度)を伴う他の工程が行なわれる場合には、前述の熱処理を省略してもよい。

【0122】その後、図5(b)に示すように、第1の配線用銅合金膜505の上に第1の配線形成領域を覆う第1のレジストパターン506を形成する。

【0123】次に、第1のレジストパターン506をマスクとして、第1の配線用銅合金膜505及び第1のバリアメタル膜502に対して順次エッチングを行なうと、図5(c)に示すように、第1の絶縁膜501の上に第1のバリアメタル膜502を介して第1の配線507を形成する。

【0124】尚、銅合金シード層503と銅メッキ膜504とが一体化して第1の配線用銅合金膜505が形成されるときに、銅合金シード層503に含まれるアルミニウム原子が銅メッキ膜504中に拡散するので、第1の配線507においては、第1のバリアメタル膜502に近くなるに従って、言い換えると、第1の絶縁膜501に近くなるに従ってアルミニウムの含有量が増大する。

【0125】次に、図5(d)に示すように、第1の配線507の上を含む第1の絶縁膜501の上に、シリコン窒化膜508及び第2の絶縁膜509を順次堆積する。これにより、第1の配線507の上面及び側面はシ

リコン窒化膜508を介して第2の絶縁膜509により覆われる。このとき、第1のバリアメタル膜502又はシリコン窒化膜508は、第2の絶縁膜509等を堆積するときの400℃程度の熱処理(例えばプラズマCVD法等)により、第1の配線507を構成する銅原子が第1の絶縁膜501又は第2の絶縁膜509等の内部に拡散する事態を防止する。すなわち、第1のバリアメタル膜502又はシリコン窒化膜508は、銅原子の拡散に対するバリア性を有している。

【0126】次に、図5(e)に示すように、シリコン窒化膜508及び第2の絶縁膜509に、第1の配線507に達する深さ約500nmのビアホール510を形成する。

【0127】次に、図6(a)に示すように、例えばスパッタ法により、ビアホール510を含む第2の絶縁膜509の上に例えば膜厚25nmのTa₂N膜からなる第2のバリアメタル膜511を堆積する。その後、例えばCu-1質量%Alからなる銅合金のターゲットを用いるスパッタ法により、第2のバリアメタル膜511の上に膜厚150nmの銅合金ウェットティング層512を堆積する。これにより、ビアホール510の底部及び壁面が第2のバリアメタル膜511及び銅合金ウェットティング層512により覆われる。尚、銅合金ウェットティング層512は1質量%程度のAlを含有する。

【0128】その後、例えばスパッタ法により銅合金ウェットティング層512の上に膜厚600nmの銅スパッタ膜513を堆積する。このとき、図6(a)に示すように、スパッタ法の指向性に起因して、銅スパッタ膜513によりビアホール510を埋め込むことはできない。

【0129】次に、図6(b)に示すように、例えば酸化還元リフロー法を用いて、酸化還元性雰囲気中で銅スパッタ膜513に対して酸化及び還元を繰り返して行ない、それにより生じる反応熱によって銅スパッタ膜513を流動させてビアホール510を埋め込む。尚、銅スパッタ膜513に対して酸化を行なうときに銅合金ウェットティング層512に対しても酸化が行なわれるが、銅合金ウェットティング層512はその表面に極薄(数nm程度)のAlの酸化物層(Al₂O₃膜)を形成するため、銅合金ウェットティング層512に含まれるCuが酸化されることはない。その結果、銅合金ウェットティング層512上における銅スパッタ膜513のリフロー性が悪化することを防止できる。

【0130】次に、銅スパッタ膜513の結晶粒を成長させるために銅スパッタ膜513に対して例えば100~400℃程度の熱処理を行なう。これにより、銅合金ウェットティング層512に含まれるアルミニウム原子が銅スパッタ膜513中に拡散する結果、図6(c)に示すように、銅合金ウェットティング層512と銅スパッタ膜513とが一体化して、0.3質量%程度のアルミニ

ウムを含有する第2の配線用銅合金膜514が形成される。尚、銅スパッタ膜513に対して前述の熱処理を行なう代わりに、半導体基板500を室温下で2日間程放置しておいてもよい。或いは、銅スパッタ膜513を形成する工程と、第2の配線用銅合金膜514に対してエッチングを行なう工程（図6（d）参照）との間に、温度上昇（100～400℃程度）を伴う他の工程が行なわれる場合には、前述の熱処理を省略してもよい。

【0131】その後、図6（c）に示すように、第2の配線用銅合金膜514の上に第2の配線形成領域を覆う第2のレジストパターン515を形成した後、第2のレジストパターン515をマスクとして、第2の配線用銅合金膜514及び第2のバリアメタル膜511に対して順次エッチングを行なって、図6（d）に示すように、第2の配線用銅合金膜514からなるビア516及び第2の配線517を形成する。これにより、ビア516を介して第1の配線507と第2の配線517とが接続される。

【0132】尚、銅合金ウェット層512と銅スパッタ膜513とが一体化して第2の配線用銅合金膜514が形成されるときに、銅合金ウェット層512に含まれるアルミニウム原子が銅スパッタ膜513中に拡散するので、ビア516及び第2の配線517においては、第2のバリアメタル膜511に近くなるに従って、言い換えると、シリコン窒化膜508、第2の絶縁膜509又は第1の配線507に近くなるに従ってアルミニウムの含有量が増大する。

【0133】その後、図示は省略しているが、必要に応じて、図5（d）、（e）及び図6（a）～（d）に示す工程を繰り返すことにより、所望の多層配線構造を形成する。

【0134】以上に説明したように、第5の実施形態によると、第1の絶縁膜501の上に、A1を含有する銅合金からなる銅合金シード層503を堆積した後、電解メッキ法により銅合金シード層503上に銅メッキ膜504を成長させ、その後、銅合金シード層503と銅メッキ膜504とが一体化した第1の配線用銅合金膜505に対してエッチングを行なって第1の配線507を形成する。すなわち、銅合金シード層503の材料として、A1を含有する銅合金、つまり耐酸化性銅合金を用いているため、銅合金シード層503に含まれるCuの酸化を防止できるので、該Cuの酸化に起因して第1の配線507の信頼性が低下する事態を防止できる。

【0135】また、第5の実施形態によると、第1の配線507となる第1の配線用銅合金膜505が、A1を含有する銅合金、つまり純銅よりも機械的に変形しにくい耐酸化性銅合金により構成されるため、第1の配線507のエレクトロマイグレーション耐性又はストレスマイグレーション耐性が向上する。

【0136】また、第5の実施形態によると、ビアホー

ル510を含む第2の絶縁膜509の上に、A1を含有する銅合金からなる銅合金ウェット層512を堆積した後、スパッタリフロー法により銅合金ウェット層512上に銅スパッタ膜513をビアホール510が完全に埋まるように形成し、その後、銅合金ウェット層512と銅スパッタ膜513とが一体化した第2の配線用銅合金膜514に対してエッチングを行なってビア516及び第2の配線517を形成する。すなわち、銅合金ウェット層512の材料として、A1を含有する銅合金、つまり耐酸化性銅合金を用いているため、銅合金ウェット層512に含まれるCuの酸化を防止できるので、該Cuの酸化に起因してビア516及び第2の配線517の信頼性が低下する事態を防止できる。

【0137】また、第5の実施形態によると、ビア516及び第2の配線517となる第2の配線用銅合金膜514が、A1を含有する銅合金、つまり純銅よりも機械的に変形しにくい耐酸化性銅合金により構成されるため、ビア516及び第2の配線517のエレクトロマイグレーション耐性又はストレスマイグレーション耐性が向上する。

【0138】尚、第5の実施形態において、銅合金シード層503又は銅合金ウェット層512の材料として、A1を含有する銅合金を用いたが、これに限られず、A1、Si、Ir及びRuのうちの少なくとも1つの元素を含有する銅合金を用いることが好ましい。また、A1を含有する銅合金として、Cu-1質量%A1を用いたが、銅合金におけるA1の含有率は特に限定されるものではない。

【0139】また、第5の実施形態において、銅メッキ膜504又は銅スパッタ膜513の材料として純銅を用いたが、これに代えて、銅合金を用いてもよい。

【0140】また、第5の実施形態において、第1のバリアメタル膜502又は第2のバリアメタル膜511としてTaN膜を用いたが、これに代えて、Ta膜、Ti膜又はTiN膜等を用いてもよい。

【0141】また、第5の実施形態において、第1の絶縁膜501又は第2の絶縁膜509として、SiO₂膜、塗布膜、又はCを含む誘電率の低いCVD膜等を用いてもよい。

【0142】また、第5の実施形態において、銅合金シード層503を堆積する工程（図5（a）参照）において、第1のバリアメタル膜502の上面つまり第1の絶縁膜501の上面に対して銅合金シード層503を（111）面に配向させておくことが好ましい。このようにすると、銅合金シード層503の上に形成される銅メッキ膜504も、第1の絶縁膜501の上面に対して（111）面に配向しやすくなるので、銅合金シード層503と銅メッキ膜504とが一体化した第1の配線用銅合金膜505からなる第1の配線507のエレクトロマイ

10

20

30

40

50

グレーション耐性が向上する。

【0143】また、第5の実施形態において、銅合金シード層503の堆積後に、例えば熱処理により銅合金シード層503の(111)配向性を向上させておくことが好ましい。このようにすると、銅メッキ膜504の(111)配向性も向上するので、第1の配線507のエレクトロマイグレーション耐性がさらに向上する。

【0144】また、第5の実施形態において、第1のバリアメタル膜502を堆積した後に銅合金シード層503を堆積したが、これに代えて、第1のバリアメタル膜502を堆積せずに銅合金シード層503を堆積してもよい。この場合、銅合金シード層503の堆積前に、半導体基板500を窒素プラズマ又はアンモニアプラズマにさらすことによって、第1の絶縁膜501の表面を窒化しておくことが好ましい。

【0145】また、第5の実施形態において、第2のバリアメタル膜511を堆積した後に銅合金ウェットング層512を堆積したが、これに代えて、第2のバリアメタル膜511を堆積せずに銅合金ウェットング層512を堆積してもよい。この場合、銅合金ウェットング層512の堆積前に、半導体基板500を窒素プラズマ又はアンモニアプラズマにさらすことによって、第2の絶縁膜509の表面を窒化しておくことが好ましい。

【0146】また、第5の実施形態において、第1の配線507を形成するために電解メッキ法を用いたが、これに代えて、スパッタリフロー法又はCVD法等を用いてもよい。

【0147】また、第5の実施形態において、第2の配線517を形成するためにスパッタリフロー法を用いたが、これに代えて、電解メッキ法又はCVD法等を用いてもよい。また、スパッタリフロー法のうちのリフロー法として、酸化還元リフロー法を用いたが、これに代えて、他のリフロー法を用いてもよい。

【0148】

【発明の効果】本発明によると、シード層の材料として、耐酸化性銅合金を用いているため、シード層に含まれるCuの酸化を防止できるので、シード層がメッキ液に溶解することがないと共にシード層の導電性が低下することがない。従って、埋め込み不良の発生を防止しつつ、電解メッキ法により凹部におけるシード層の上に導電膜を形成することができる。

【0149】また、本発明によると、シード層、ウェットング層又は密着層等の材料として、耐酸化性銅合金を用いているため、シード層、ウェットング層又は密着層等に含まれるCuの酸化を防止できるので、該Cuの酸化に起因して配線の信頼性が低下する事態を防止できる。

【図面の簡単な説明】

【図1】(a)～(e)は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

10

20

30

40

50

【図2】(a)～(e)は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図3】(a)～(e)は本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図4】(a)～(e)は本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図5】(a)～(e)は本発明の第5の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図6】(a)～(d)は本発明の第5の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図7】(a)～(e)は従来の半導体装置の製造方法の各工程を示す断面図である。

【図8】(a)～(d)は従来の半導体装置の製造方法における問題点を説明するための図である。

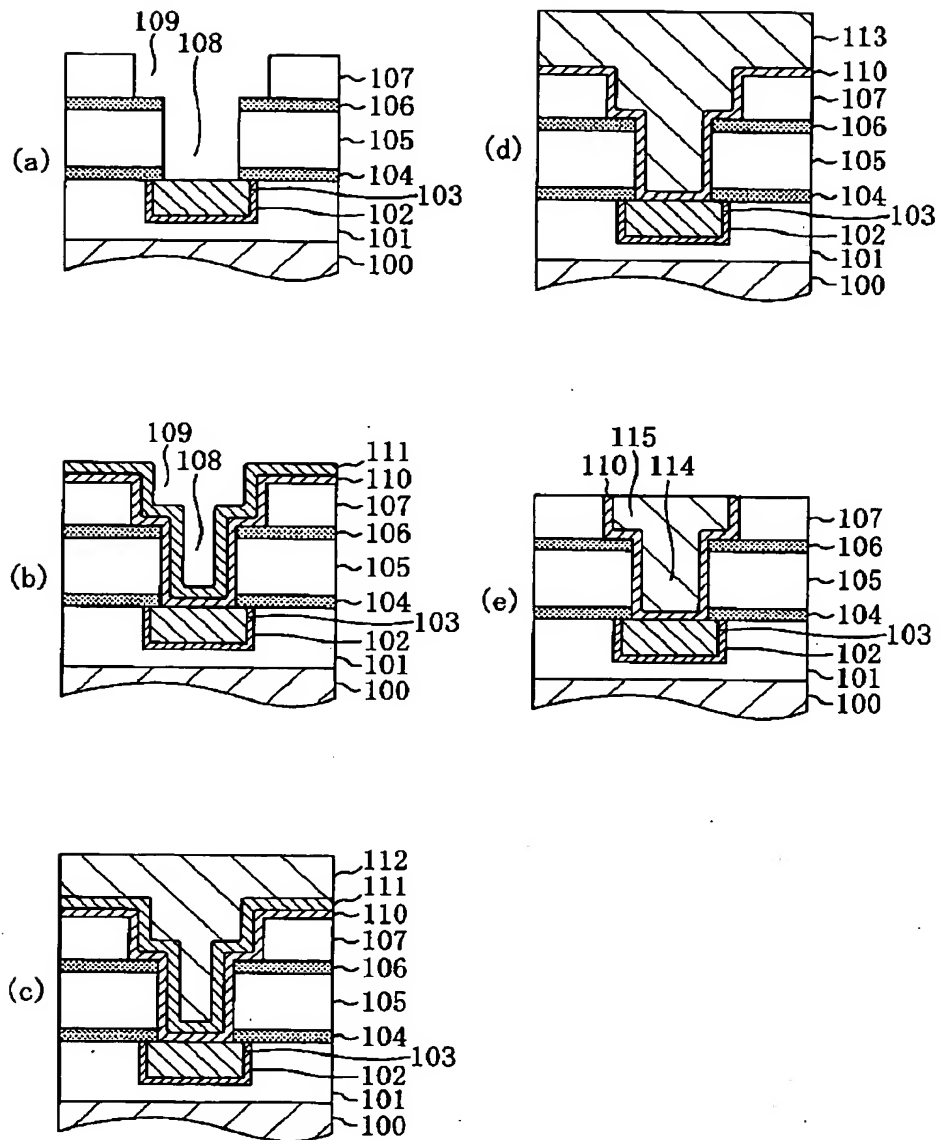
【符号の説明】

- 100 半導体基板
- 101 第1の絶縁膜
- 102 第1のバリアメタル膜
- 103 第1の配線
- 104 第1のシリコン窒化膜
- 105 第2の絶縁膜
- 106 第2のシリコン窒化膜
- 107 第3の絶縁膜
- 108 ビアホール
- 109 配線用溝
- 110 第2のバリアメタル膜
- 111 銅合金シード層
- 112 銅メッキ膜
- 113 配線用銅合金膜
- 114 ビア
- 115 第2の配線
- 200 半導体基板
- 201 第1の絶縁膜
- 202 第1のバリアメタル膜
- 203 第1の配線
- 204 第1のシリコン窒化膜
- 205 第2の絶縁膜
- 206 第2のシリコン窒化膜
- 207 第3の絶縁膜
- 208 ビアホール
- 209 配線用溝
- 210 銅合金シード層
- 211 銅メッキ膜
- 212 配線用銅合金膜
- 213 ビア
- 214 第2の配線
- 300 半導体基板
- 301 第1の絶縁膜
- 302 第1のバリアメタル膜
- 303 第1の配線

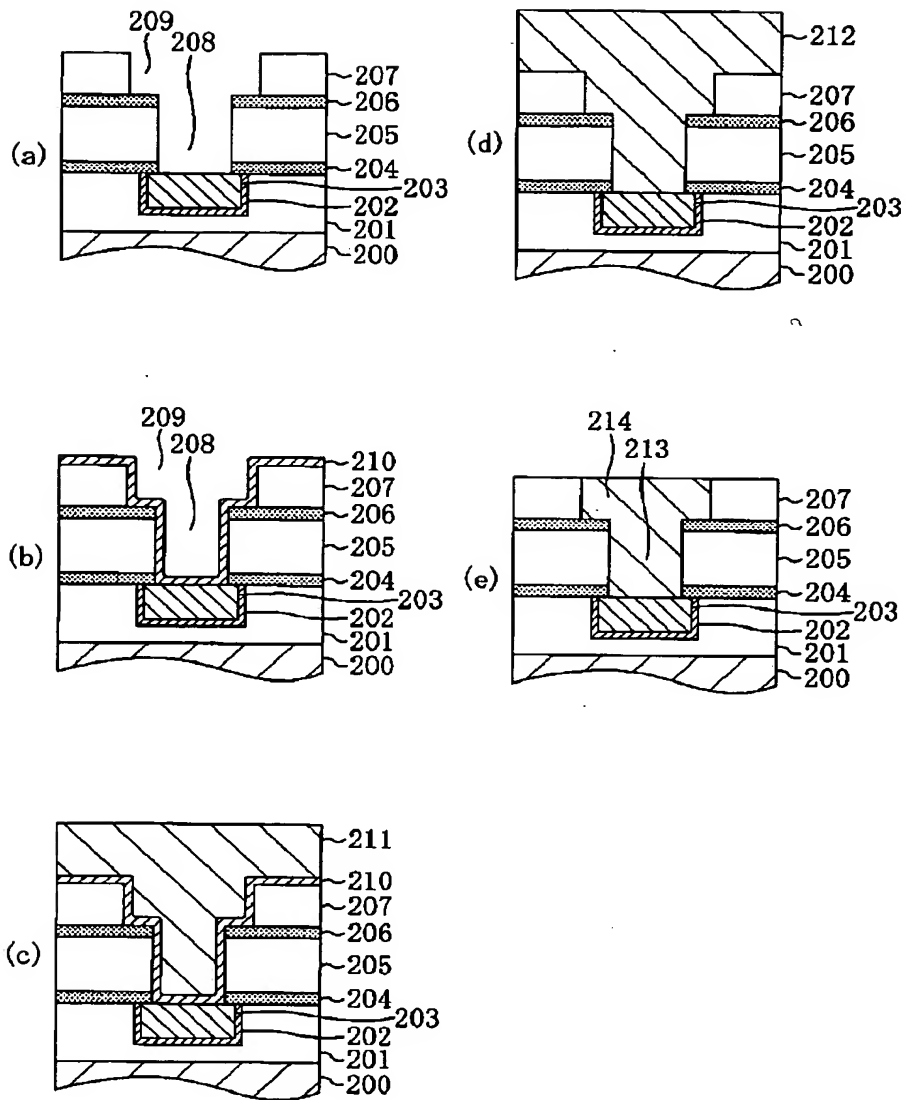
304 第1のシリコン窒化膜
305 第2の絶縁膜
306 第2のシリコン窒化膜
307 第3の絶縁膜
308 ビアホール
309 配線用溝
310 第2のバリアメタル膜
311 銅合金ウェットティング層
312 銅スパッタ膜
313 配線用銅合金膜
314 ビア
315 第2の配線
400 半導体基板
401 第1の絶縁膜
402 第1のバリアメタル膜
403 第1の配線
404 第1のシリコン窒化膜
405 第2の絶縁膜
406 第2のシリコン窒化膜
407 第3の絶縁膜
408 ビアホール
409 配線用溝
410 第2のバリアメタル膜

411 銅合金密着層
412 銅CVD膜
413 配線用銅合金膜
414 ビア
415 第2の配線
500 半導体基板
501 第1の絶縁膜
502 第1のバリアメタル膜
503 銅合金シード層
10 504 銅メッキ膜
505 第1の配線用銅合金膜
506 第1のレジストパターン
507 第1の配線
508 シリコン窒化膜
509 第2の絶縁膜
510 ビアホール
511 第2のバリアメタル膜
512 銅合金ウェットティング層
513 銅スパッタ膜
20 514 第2の配線用銅合金膜
515 第2のレジストパターン
516 ビア
517 第2の配線

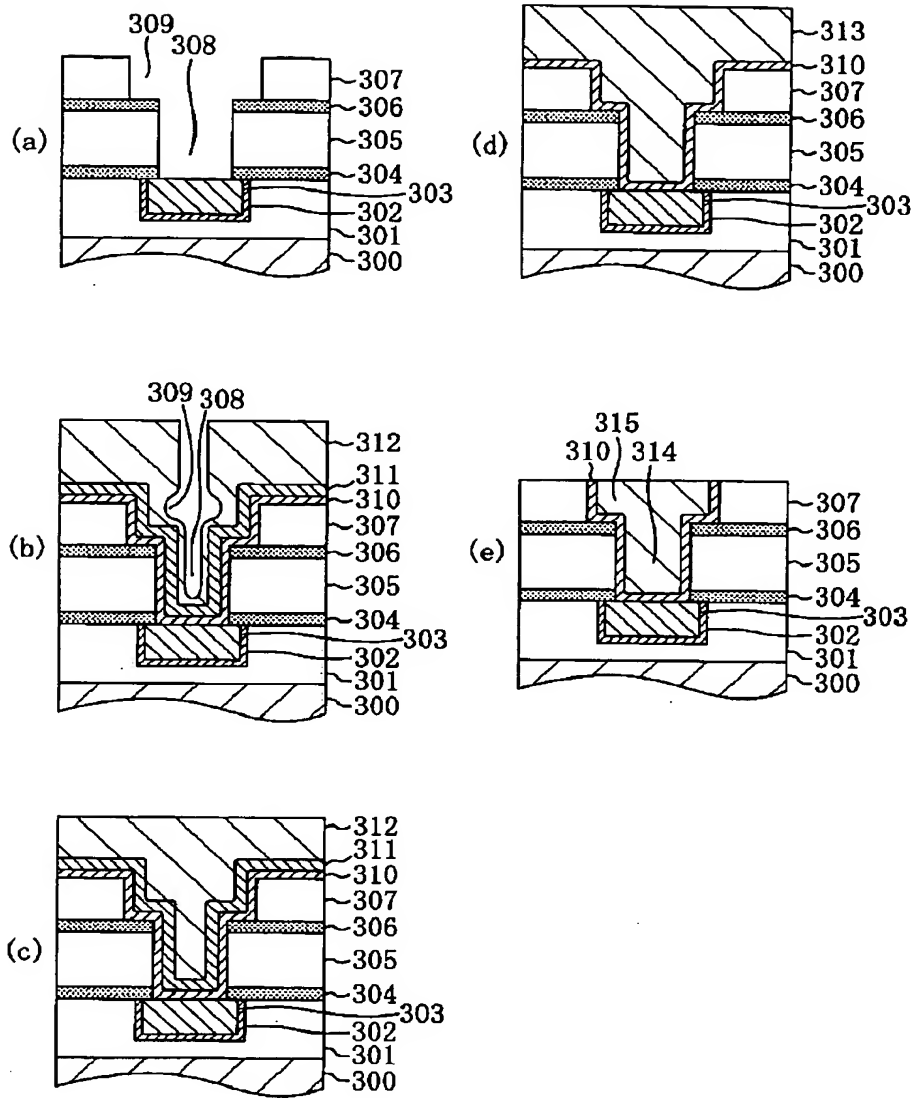
【図1】



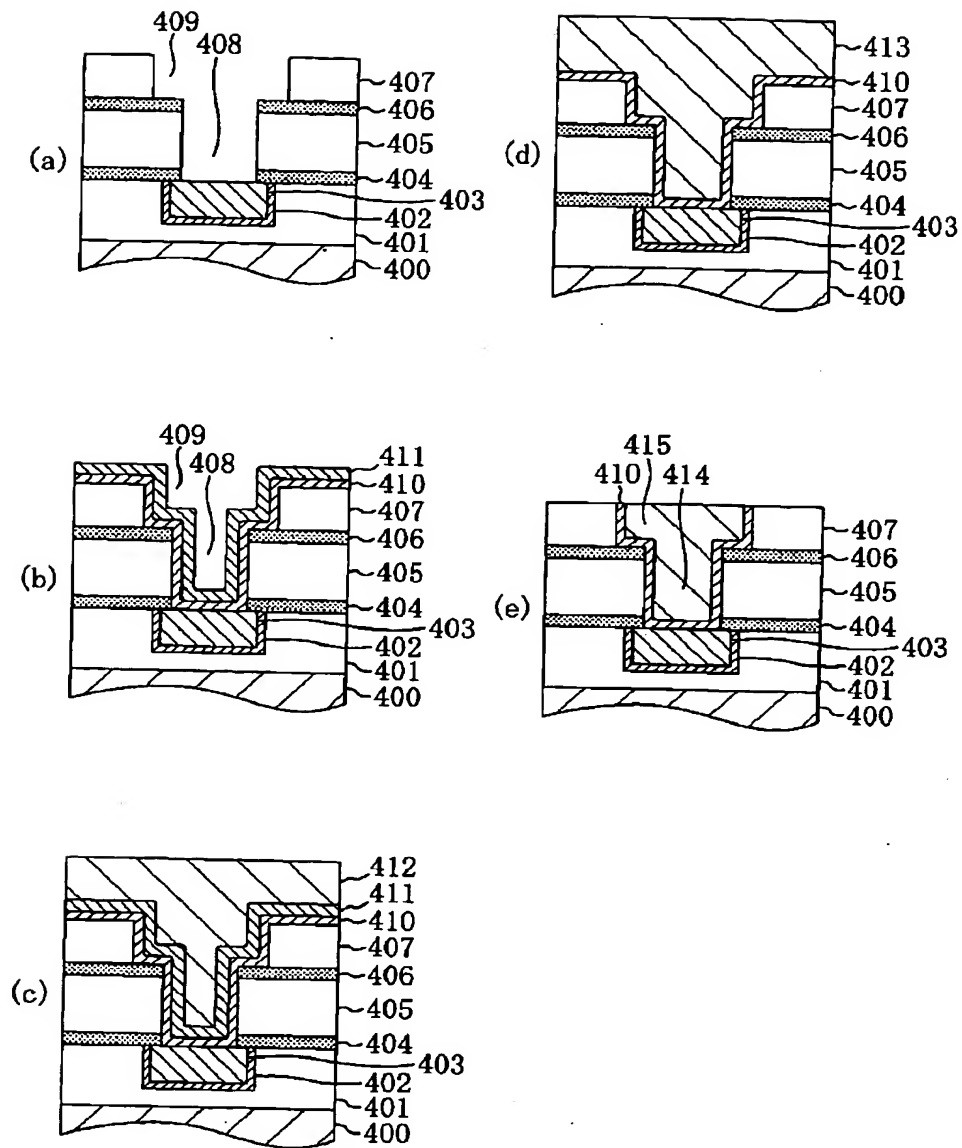
【図2】



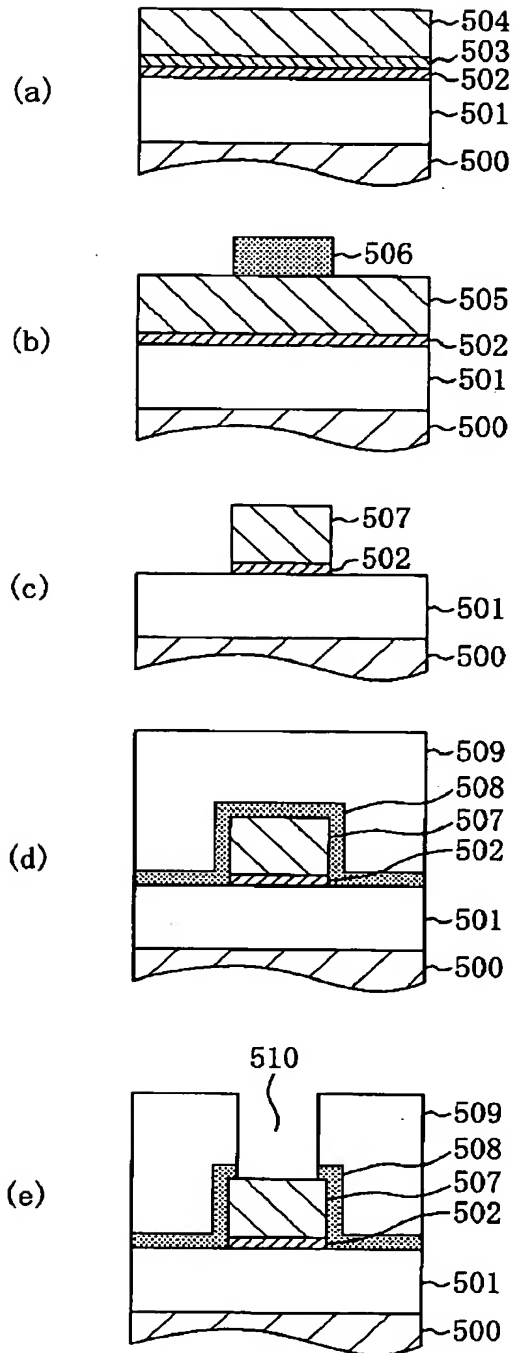
【図3】



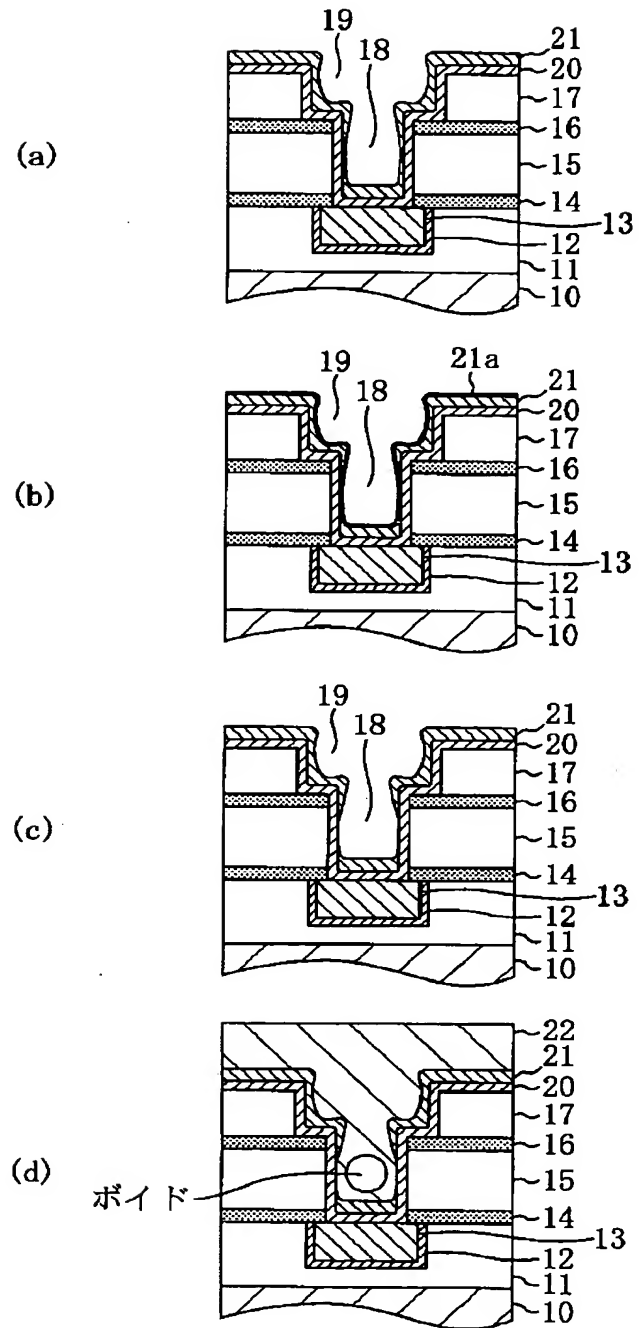
【図4】



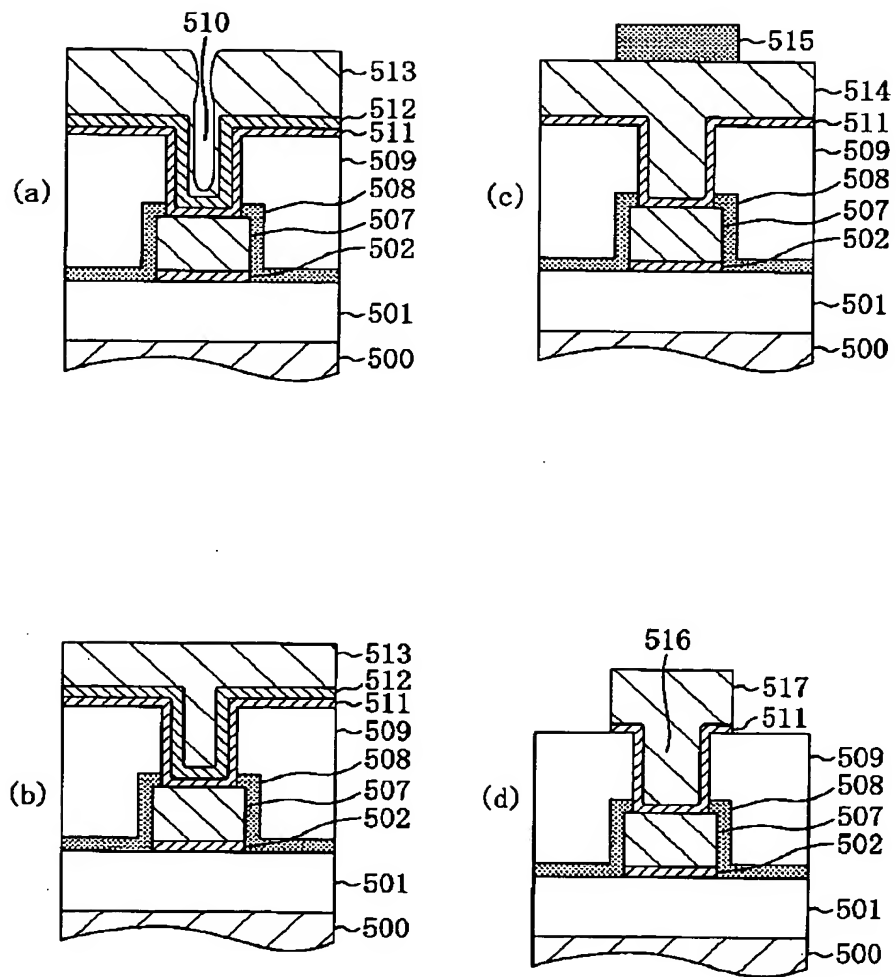
【図5】



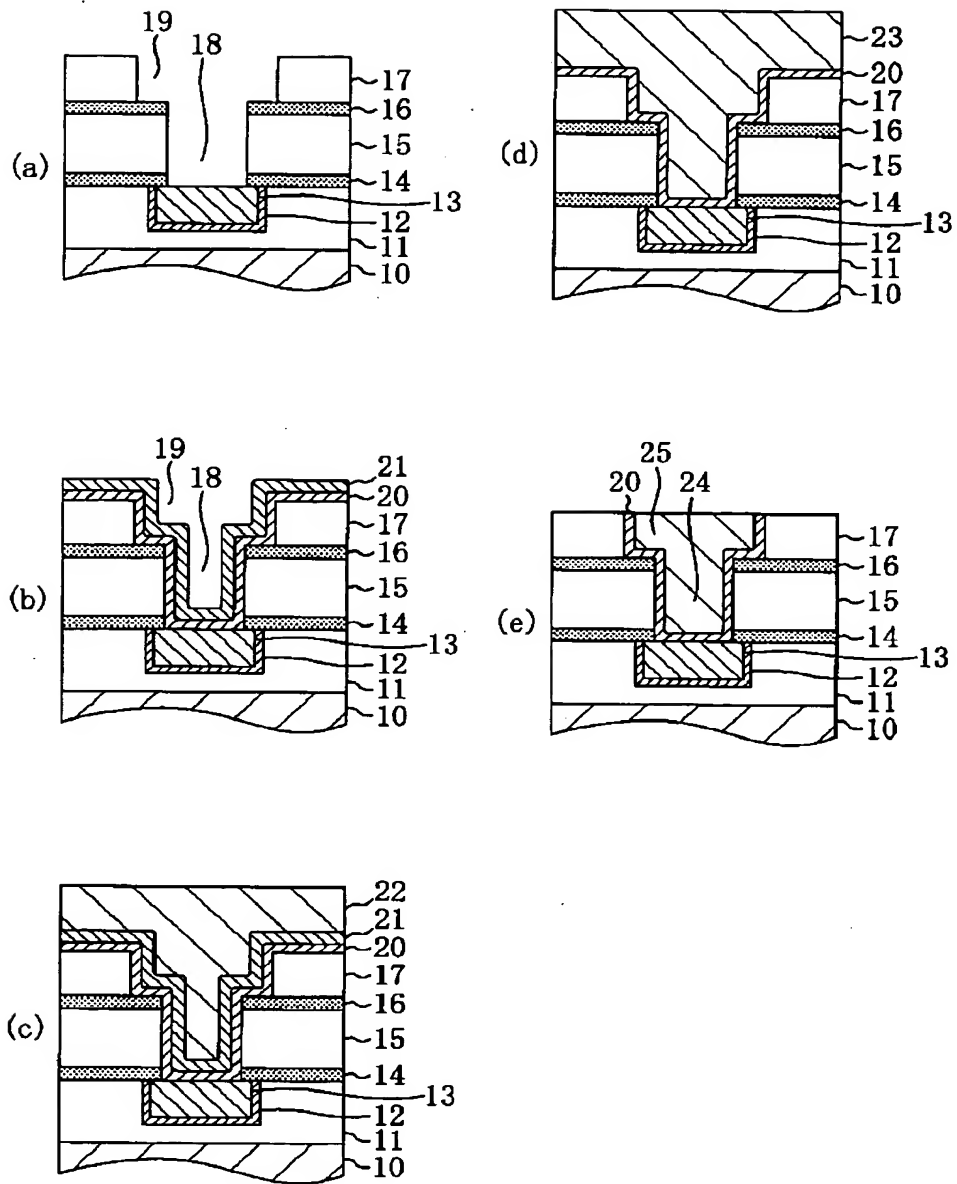
【図8】



【図6】



【図7】



フロントページの続き

F ターム(参考) 5F033 HH12 HH32 JJ12 JJ32 KK11
KK12 KK18 KK21 KK32 KK33
LL02 LL07 LL09 MM01 MM02
MM05 MM12 MM13 NN06 NN07
PP06 PP15 PP21 PP27 QQ37
QQ48 QQ73 QQ75 QQ76 QQ80
QQ90 RR04 RR06 RR09 RR12
SS11 SS21 XX02 XX05 XX06
XX09